

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-20837

(43)公開日 平成10年(1998) 1月23日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	R
H 0 4 N 5/66			H 0 4 N 5/66	B

審査請求 未請求 請求項の数 2 書面 (全 5 頁)

(21)出願番号 特願平8-202716

(22)出願日 平成 8 年(1996) 6 月27日

(71)出願人 596049418

株式会社ザイン・マイクロシステム研究所
東京都中央区日本橋大伝馬町 3 番 2 号

(72)発明者 飯塚 哲哉

東京都中央区日本橋大伝馬町 3 番地 2 号
株式会社ザイン・マイクロシステム研究所
内

(72)発明者 西川 典孝

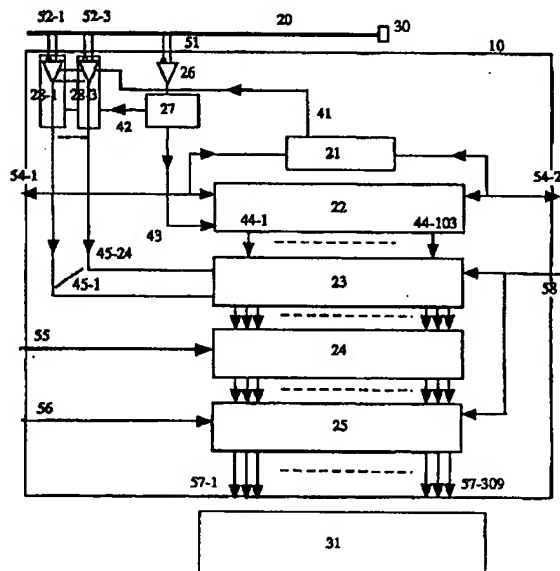
東京都中央区日本橋大伝馬町 3 番地 2 号
株式会社ザイン・マイクロシステム研究所
内

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 EMI 雑音が極めて低く、また消費電力を大幅に低減し、さらに部品点数を減しコストを低減した液晶表示装置を実現する。

【構成】小振幅の縦列信号を受信する回路を並列に具備し、これらの信号をシフトレジスタに格納し、画素毎にデジタルからアナログ信号に変換し、ソース信号として液晶パネルを駆動する回路を同一半導体装置上に設ける。並列に設けられた一つの受信回路は同期信号を受信し、PLLを駆動し、他の小振幅信号受信回路の動作タイミングを制御する。さらに同一半導体装置上に形成された電力切替回路によって上記シリアル信号受信回路の消費電力を制御し、信号待機時の消費電力を低減する。



【特許請求の範囲】

【請求項1】小振幅の縦列信号が並列に搬送される信号バス(20)から、クロック信号を受信し、これに同期したフェイズロックループまたはディレイロックループ回路(PLL/DLL)(27)と、前記PLL/DLLの出力信号に同期して前記信号バス(20)からデータ信号を受信する小振幅信号入力回路(28)と、前記PLL/DLLの出力信号に同期して動作するシフトレジスタ(22)の発生する信号を用いて前記入力回路により受信した信号をラッチするレジスタ及びラッチ回路(23)と、前記レジスタ及びラッチ回路に格納されたデジタル・データをアナログ信号に変換するDA変換回路(24)と、その出力バッファ回路(25)と、待機時および動作時に於いて前記小振幅信号入力回路(28)の消費電力を切り替える回路(21)とを具備する半導体装置。

【請求項2】小振幅信号として信号振幅を0.5ボルト以下の差動信号を受信する小振幅信号入力回路を備えた請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置等を低消費電力にて駆動する半導体装置に関する。

【0002】

【従来の技術】従来、液晶表示装置を駆動する際に、画像信号を高速でかつ電磁放射(EMI)雑音の低い信号を転送する為に、信号の電圧振幅を主たる回路の動作に用いられる電源電圧より低減して送信し、これを表示装置側で受信し、再び元の信号に戻してから信号処理を行い、表示パネルを駆動する方法を採っていた。

【0003】

【発明が解決しようとする課題】従来の方式では、消費電力が大きく、低雑音性も不十分で、また製造コストも高いという欠点があった。

【0004】本発明は、EMI雑音が極めて低く、また消費電力を大幅に低減し、さらに部品点数を減しコストを低減した液晶表示装置を実現することを目的としている。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明では、小振幅の縦列信号を受信する回路を並列に具備し、これらの信号をシフトレジスタに格納し、画素毎にデジタルからアナログ信号に変換し、ソース信号として液晶パネルを駆動する回路を同一半導体装置上に設ける。並列に設けられた一つの受信回路は同期信号を受信し、PLL(ないしはDLL)と呼ばれるフェイズロックループ回路(ないしはディレイロックループ回路)を駆動し、他の小振幅信号受信回路の動作タイミングを制御する。さらに同一半導体装置上に形成された電力切替回路によって上記シリアル信号受信回路の消費電

力を制御し、信号待機時の消費電力を低減する。

【0006】液晶パネルを駆動する場合、上記半導体装置を複数個使用して、画素信号を搬送するソース線を駆動する。何個使用するかは表示画面1ラインの画素数と半導体装置の集積密度によって決まるが、通常10個前後の半導体装置が使用される。そして列状に配置された各半導体装置に順次取り込むために、一つの半導体装置の入力終了に合わせて、隣接する半導体装置が入力作業を開始する。

【0007】入力作業を行っていない間は電力切替回路によって小振幅信号受信回路を待機状態の低消費電力状態とし、PLL回路のみを活性に保つ。

【0008】

【作用】上記のように構成された半導体装置を用いることにより、幾つかの特性が大幅に改善される。先ず、高い周波数で動作する信号は全て小振幅信号となり、EMI雑音は大幅に低減される。従来方式では信号振幅が2.5ボルトから5ボルト程度あった為、EMI雑音の制限などから30メガヘルツ程度が限界であった。この為、高精細画像の表示には要求される高周波動作が不可能のため、信号を並列化して(配線本数が増加してしまう)、約30メガヘルツ以下の低周波にして動作するように設計しなければならなかった。これが約0.5ボルト程度以下の小振幅信号、さらには差動信号を用いることでEMI雑音が大幅に低減され、500メガヘルツ程度でも問題無く使用できることが確認されている。

【0009】また、上記の構成によれば、液晶表示装置にて消費される電力を大幅に低減できる。従来方式では、液晶駆動装置側から送られた、通常の振幅の信号あるいは小振幅信号を一旦インターフェイスとなる半導体装置が受信し、並列化などの信号処理をした後、液晶表示装置内に配信するために、信号配線本数も多く、消費電力が大きかった。具体例について後述するが、本発明によれば、信号処理に要する消費電力を従来方式比で50%程度に低減することは容易である。

【0010】本発明によれば、信号配線本数や部品点数が削減されるために大幅にコストを下げる事が可能である。

【0012】

【実施例】実施例について図面を参照しながら説明する。図1に於いて、半導体装置10には以下のような回路ブロックが設けられている。即ち、電力切替回路21、シフトレジスタ22、レジスタ及びラッチ回路23、デジタル・アナログ変換回路、出力バッファ25、小振幅信号クロック入力回路26、PLL回路(またはDLL回路)27、小振幅データ信号入力回路28-1、...、-3(いくつ合っても良い)などが設けられている。

【0013】半導体装置10の主たる入力信号は、終端素子30で終端された小振幅信号のバス20から、クロ

ック信号51、その他の小振幅信号52-1、...、-3（いくつ有ってもよい）、今注目している半導体装置にデータの取り込みを開始させる入力信号と、その作業が完了し隣の半導体装置にデータの取り込みを開始させる出力信号54-1ないし54-2（これはデータのシフトが右方向の場合と左方向の場合と役割が反転する）、階調に応じたアナログ電圧を発生するための γ 補正電圧や液晶表示パネルに特有の極性反転信号（電圧反転のタイミングを指定する信号）などのデジタル・アナログ変換回路用の入力55、極性反転の際の対称中心となる基準電圧56、画像データをラッチするためのラッチ信号58などである。

【0014】出力信号としては、液晶パネル31の各ソース線の駆動信号57-1から57-309（例えば309チャンネルの場合）が設けられている。これらのチャンネル数は半導体製造技術・表示パネルの特性その他を考慮して適宜選択されるものである。

【0015】以下本実施例の動作について説明する。バス20にはクロックと画像データが送られてくる。画像データは幾つかのグループに分けられて、ひとつのグループ内の信号は同一信号線（例えば52-2）にシリアル（縦列）に、グループ間はパラレル（並列）の信号線（例えば52-1、52-2、52-3）によって搬送されてくる。クロック信号から、フェーズロック回路（PLLまたはDLL）27によって規則正しい内部クロック42、43を発生する。内部クロック42に同期させて、シリアルに入力されてくる信号を取り出して、信号線45-1、...、-24を介して、ラッチ及びレジスタ23に送り込む。この例では、8個の信号をシリアルに構成し、それを3つのパラレル信号線を用いているため、24本の信号線45-1、...、-24となっている。信号54-1または54-2により半導体装置10がデータを取り込む状態となると、内部クロック43に同期してシフトレジスタ22を動作させる。シフトレジスタ22の出力信号44-1、...、-103（例えばチャンネル数が103の場合）を順次アクティブにして、これに同期して画像信号45-1、...、-24を対応する画素の信号としてラッチする。

【0016】電力切替回路21は信号54-1あるいは54-2によって、現在どの半導体装置が画像データを取り込むタイミングであるかを知ることができる。これにより、画像信号を取り入れないタイミングでは、小振幅信号入力回路28-1、...、-3の消費電力を低減するように、パワーダウン信号41により制御する。

【0016】図2は本発明を実施した液晶表示装置の例である。液晶駆動装置70は垂直同期、水平同期などのクロックおよび画像信号を小振幅信号バス20により液晶表示装置に転送する。半導体装置32は小振幅信号バス20からクロック信号を入力し、ゲート駆動回路40-1、-2、...へのクロック信号61、ライン表示開

始、反転信号などのクロック信号54、58を発生する。これらの信号は周波数が低く、消費電力もEMI雑音も低レベルである。電源回路33は γ 補正電圧、基準電圧などを発生し、供給する。液晶パネル31のソース線は半導体装置10を複数個用いて駆動する。

【0016】

【発明の効果】本発明は以上説明したように構成されている為に、以下に記載されるような効果を奏する。

【0017】図3は本発明を実施例を用いて実験を行い、消費電力（バックライトが消費するものを除く）を従来例と比較したものである。従来方式の結果が100、本発明の実施例が200である。従来方式では、主な消費電力として、ソース駆動回路によるもの1、液晶パネル表示制御用の半導体装置によるもの2、小振幅信号を受信し通常のTTL等の信号に変換するインターフェイス回路によるもの3、その他4の合計1250ミリワットに達する。これに対し、本発明の実施例では、全ての半導体装置10によるもの5、クロック発生回路によるもの6、その他7で、合計650ミリワットになり、従来例のおよそ半分である。このように、本発明によれば、顕著な消費電力の低減効果が得られる。

【0018】本発明では、高周波動作を行うバスは全て小振幅信号のバスとなり、従来のTTLなどの大振幅信号は低周波動作のものに限定される。このため周波数に比例して深刻となるEMI雑音が極めて少ない。

【0019】本発明によれば、少ない配線本数、少ない部品点数により液晶表示装置が実現できる。このため製造コストが低減されることはもとより、信頼性の向上にも寄与する。

【図面の簡単な説明】

【図1】本発明による半導体装置の実施例である。

【図2】本発明による液晶表示装置の実施例である。

【図3】本発明による液晶表示装置の消費電力を従来方式と比較したものである。

【符号の説明】

- 10 本発明による半導体装置
- 20 小振幅信号バス
- 21 電力切替回路
- 22 シフトレジスタ
- 23 レジスタおよびラッチ回路
- 24 デジタル・アナログ変換回路
- 25 出力バッファ
- 26 小振幅クロック信号入力回路
- 27 フェーズロック回路
- 28 小振幅データ信号入力回路
- 30 終端素子
- 31 液晶パネル
- 32 クロック信号発生回路
- 33 アナログ電源発生回路
- 40 ゲート線駆動回路

【図3】

